

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0066915
Application Number PATENT-2002-0066915

출원년월일 : 2002년 10월 31일
Date of Application OCT 31, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



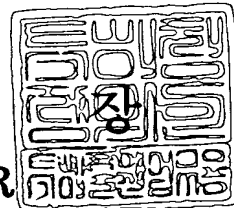
2002 년 12 월 03 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.10.31
【발명의 명칭】	감지증폭기의 동작시 노이즈가 감소된 반도체 메모리 장치
【발명의 영문명칭】	Semiconductor memory device for reducing noise in operation of sense amplifier
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	권기섭
【성명의 영문표기】	KWON, Ki Seop
【주민등록번호】	700123-1774624
【우편번호】	467-722
【주소】	경기도 이천시 증포동 부악아파트 1302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	14 항 557,000 원
【합계】	604,000 원

1020020066915

출력 일자: 2002/12/4

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 감지증폭기가 노이즈를 줄이면서도 비트라인에 인가된 데이터신호를 고속으로 증폭하여 출력 가능한 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 다수의 단위셀을 포함하는 제1 셀어레이; 상기 다수의 단위셀에 연결된 비트라인의 전위를 감지 및 증폭하기 위한 감지증폭수단; 상기 감지증폭수단과 상기 비트라인을 연결 또는 분리하기 위한 스위칭수단; 및 상기 스위칭수단을 통해 흐르는 전류량이 순차적으로 증가 또는 감소되도록 하여, 상기 감지증폭수단과 상기 제1 셀어레이의 분리 또는 연결을 제어하기 위한 감지증폭기 연결 제어수단을 구비하는 반도체 메모리 장치를 제공한다.

【대표도】

도 9

【색인어】

반도체, 메모리, 비트라인, 워드라인, 노이즈, 감지증폭기

【명세서】

【발명의 명칭】

감지증폭기의 동작시 노이즈가 감소된 반도체 메모리 장치{Semiconductor memory device for reducing noise in operation of sense amplifier}

【도면의 간단한 설명】

도1은 통상적인 반도체 메모리장치의 블럭구성도.

도2는 도1에 도시된 셀블럭 영역의 블럭구성도.

도3은 도2에 도시된 감지증폭부의 회로도.

도4는 도3에 도시된 감지증폭부의 동작 파형도.

도5는 도3에 도시된 감지증폭기 연결제어부의 회로도.

도6는 도5에 도시된 레벨시프터의 회로도.

도7은 도5의 감지증폭기 연결제어부의 동작파형도.

도8은 도3에 도시된 감지증폭부의 동작을 나타내는 동작파형도.

도9는 본 발명의 바람직한 실시예에 따른 메모리 장치의 블럭구성도.

도10은 도9의 감지증폭기 연결 제어부의 블럭구성도.

도11은 도9에 도시된 감지증폭기 연결 제어부의 일예를 나타낸 회로도.

도12은 도10에 도시된 레벨시프터의 회로도.

도13은 도11에 도시된 감지증폭기 연결 제어부의 동작파형도.

도14는 도9에 도시된 감지증폭부의 동작과형도.

* 도면의 주요부분에 대한 부호의 설명

N1 ~ N12 : 앤모스 트랜지스터

P1 ~ P2 : 피모스트랜지스터

C1 ~ C4 : 캐패시터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 비트라인에 인가된 신호를 증폭하여 출력하기 위한 감지증폭기(Sense amplifier)부의 동작 노이즈를 줄이기 위한 메모리 장치에 관한 것이다.

<20> 도1은 통상적인 반도체 메모리장치의 블럭구성도이다.

<21> 도1을 참조하여 살펴보면, 메모리 장치는 로우어드레스를 입력받아 디코딩하여 출력하는 로우어드레스 입력부(20)와, 컬럼어드레스를 입력받아 디코딩하여 출력하는 컬럼어드레스 입력부(30)와, 다수개의 단위셀로 구성된 셀어레이(Cell array)(110,120,130,140)를 다수 구비하여 로우어드레스 입력부(20)와 컬럼어드레스 입력부(30)에서 출력되는 신호에 해당되는 데이터를 출력하기 위한 셀영역(100)과, 셀영역(100)에서 출력되는 데이터를 외부로 출력하기 위한 데이터 출력부(40)를 구비한다.

- <22> 또한, 셀 영역(100)은 셀어레이(110,120,130,140)에서 출력되는 데이터를 증폭하여 데이터 출력부(40)로 출력하기 위한 감지증폭부(150,160)를 구비하고 있다.
- <23> 도2는 도1에 도시된 셀영역(100)을 나타낸 블럭구성도이다.
- <24> 도2를 참조하여 살펴보면, 셀영역(100)에는 다수의 단위 셀(통상적으로 하나의 캐패시터와 트랜지스터)이 어레이된 셀어레이(100,130,180)가 있고, 셀어레이 사이에는 단위셀에 저장된 데이터가 인가되는 비트라인(BL, /BL)의 신호를 감지하여 증폭하는 감지증폭부(150,170)가 배치되어 있으며, 감지증폭부(150,170)와 셀어레이(110,130,180)간의 연결 및 분리를 위한 제1 및 제2 연결신호(BISH,BISL)를 출력하는 감지증폭기 연결 제어부(200,300)가 구비되어 있다.
- <25> 이전에는 셀어레이마다 하나의 센서앰프가 구비되어 있었으나, 메모리장치의 고집적을 위해서 현재에는 2개의 셀어레이(110,130)) 당 하나의 감지증폭부(150)를 구비하고, 적절한 연결신호(BISH, BISL)에 따라 스위치부(151,153)를 턴온 또는 턴오프하여 감지증폭부(150)와 셀 어레이(110,130)를 연결 또는 분리시켜고 있다.
- <26> 따라서 감지증폭부(150)는 비트라인(BL,/BL)에 인가된 신호를 증폭하기 위한 감지증폭기(SA)와, 일측에 구비된 제1 셀어레이(110)와 연결을 위한 제1 연결부(151)과, 타측의 제2 셀어레이(130)와 연결을 위한 제2 연결부(153)를 구비하고 있다.
- <27> 예컨대, 연결신호(BISH1, BISL2)가 로우로 되고 또 다른 연결신호(BISL1, BISH2)가 하이로 되면, 제1 스위치부(151)이 턴온되어, 감지증폭부(150,170)는 셀어레이(130)에만 연결이 되고, 이후에 셀어레이(130)에 연결된 비트라인에 인가된 데이터신호가 감지증폭기에 의해 증폭되는 것이다.

- <28> 도3은 도2에 도시된 감지증폭부(150)의 일예를 나타낸 회로도이다.
- <29> 도3을 참조하여 살펴보면, 감지증폭부(150)는 감지증폭기 인에이블 신호(RT0, /S)에 의해 인에이블되어, 비트라인(BL, /BL)의 신호 차이를 증폭하여 출력하기 위한 감지증폭기(152)와, 프리차지 인에이블신호(BLEQ)에 인에이블되어 비트라인 프리차지 전압(Vb1p)으로 비트라인(BL,/BL)을 프리차지하기 위한 프리차지부(155)와, 제1 이퀄라이제이션 신호(BLEQH)에 의해 제1 셀어레이(110)에 연결된 비트라인(BL,/BL)의 전압레벨을 같게 하기 위한 제1 이퀄라이제이션부(154)와, 제2 이퀄라이제이션신호(BLEQL)에 의해 제2 셀어레이(130)에 연결된 비트라인(BL,/BL)의 전압레벨을 같게 하기 위한 제2 이퀄라이제이션부(156)와, 칼럼어드레스에 의해 생성되는 컬럼제어신호(CD)에 의해 비트라인(BL,/BL)에 인가된 신호를 데이터 라인(DB, /DB)으로 출력하는 감지증폭기출력부(157)로 구성된다.
- <30> 여기서 캐패시터(C1 ~ C4)는 각각 제1 및 제2 셀어레이(110,130)의 단위셀, 금속배선등을 포함한 비트라인(BL,/BL)에서 인가되는 로드 캐패시턴스(load capacitance)를 나타낸다.
- <31> 감지증폭기 연결 제어부(200)는 셀어레이(110,130)와 감지증폭부(150)를 연결 또는 분리하기 위한 제1 및 제2 연결신호(BISH,BISL)를 출력하고, 제1 및 제2 연결신호(BISH,BISL)에 의해 제1 및 제2 스위치부(154,156)가 턴온되어 각각 제1 및 제2 셀어레이(110,130)를 감지증폭기(152)와 연결시킨다.
- <32> 도4은 도3에 도시된 감지증폭부의 동작을 나타내는 동작파형도이다. 이하 도1 내지 도4를 참조하여 메모리 장치의 감지증폭부에 관한 동작을 살펴본다.

- <33> 먼저, 감지증폭기 연결제어부(200)에서 제1 연결신호(BISH)를 하이로 출력하고, 제2 연결신호(BISL)를 로우로 출력한다고 가정하면, 감지증폭부(150)은 제1 셀어레이(110)와 연결되고, 제2 셀어레이(130)과는 분리된다. 제1 및 제2 연결신호(BISH, BISL)은 감지증폭부(150)와 이웃한 셀어레이(110,130)를 적절한 타이밍에 연결되도록 제어하기 위해 감지증폭기분리제어부(200)에서 출력되는 신호이다.
- <34> 이어서 제1 셀어레이(110)의 워드라인(미도시) 하나가 선택되고, 선택된 워드라인에 하이신호가 입력되면, 프리차지되어 있던 비트라인(BL, /BL)에 상기 워드라인에 연결된 단위셀의 데이터 신호가 인가된다. 이 때 감지증폭기 인에이블신호(RTO, SZ)가 감지증폭기(152)에 입력되면, 비트라인(BL, /BL)에 인가된 신호를 감지증폭기가 증폭하고, 이어서 감지증폭기출력부(157)를 통해 증폭된 데이터신호가 데이터 라인(DB, /DB)으로 출력된다.
- <35> 도4에는 감지증폭기 연결 제어부(200)에서 출력되는 제1 및 제2 연결신호(BISH, BISL)가 인가되고 난후, 워드라인(WL)에 하이레벨로 인가되고, 이어서 비트라인(BL, /BL)에 인가된 데이터신호가 증폭되는 것이 도시되어 있다.
- <36> 그런데, 반도체 메모리장치가 점점더 고집적화 되면서 이전보다 많은 단위셀로 하나의 셀어레이를 구성하게 됨으로서, 비트라인의 로드캐패시턴스(C1, C2)가 이전보다 크게 증가되어 왔다.
- <37> 이로 인하여 감지증폭기가 비트라인(BL, /BL)에 인가된 신호를 증폭하는데 많은 시간이 걸리게 되는 문제점이 생기게 되었다. 감지증폭기가 비트라인(BL, /BL)에 인가된 신호를 증폭하는 시간은 메모리 장치의 동작시간에 중대한 영향을 미치므로 이 시간을 최소한으로 줄이는 것이 매우 중요하다.

- <38> 이를 해결하기 위해, 현재에는 일단 비트라인(BL,/BL)에 단위셀의 데이터가 인가되고 나서는 제1 셀어레이(110)와 감지증폭부(150)를 분리시켜 비트라인(BL,/BL)에 걸리는 로드 캐패시턴스를 줄인 다음, 감지증폭기(152)가 비트라인(BL,/BL)에 인가된 데이터 신호를 증폭하는 방법을 취하고 있다.
- <39> 감지증폭기(152)가 비트라인에 인가된 신호를 감지, 증폭하기 전에 제1 셀어레이(110)와 감지증폭부(150)를 적절한 타이밍에 분리시키기 위해서는 감지증폭기연결 제어부(200)에서 출력되는 제1 및 제2 연결신호(BISH,BISL)의 적절한 제어가 필요하다.
- <40> 도5는 감지증폭기(152)가 비트라인에 인가된 신호를 감지, 증폭하기 전, 적절한 타이밍에 셀어레이와 감지증폭기를 분리하하도록 제어하는 감지증폭기 연결제어부의 일례를 나타내는 회로도이다.
- <41> 도5를 참조하여 살펴보면, 감지증폭기 연결제어부(200)는 제1 연결신호(BISH)를 출력하기 위한 출력단(X)을 제1 전원전압 레벨(VDD)로 프리차지하기 위한 프리차지부(210)와, 제2 전원전압(VDD) 레벨로 제1 연결신호(BISH)을 출력하기 위한 연결신호 생성부(220)와, 제1 연결신호(BISH)를 디스에이블시키기 위한 연결신호 디스에이블부(230)로 구성된다.
- <42> 제1 전원전압(VDD)은 통상적인 메모리장치의 전원전압으로 사용되는 전압레벨이고, 제2 전원전압(VPP)은 오버드라이빙등 빠른 구동이 필요할 때 내부적으로 사용되는, 제1 전원전압(VDD)보다 전압레벨이 높은 전압이다. 예컨대 제1 전원전압(VDD)으로 2.5V를 사용한다면, 제2 전원전압(VPP)은 3.3V를 사용할 수 있다.

- <43> 프리차지부(210)는 출력단(X)을 프리차지하기 위한 제어신호(Blk_com)을 반전하여 입력받아 제2 전원전압(VPP)으로 레벨시프팅하여 출력하는 제1 레벨시프터(211)와, 제1 레벨시프터(211)의 출력을 게이트로 입력받아 출력단(X)을 제1 전원전압(VDD)으로 프리차지시키는 피모스트랜지스터(P1)로 구성된다.
- <44> 연결신호생성부(220)는 일측으로는 감지증폭부(150)가 이웃에 구비된 제2 셀어레이(130)에 연결되도록 제어하는 제어신호(Blk_next)를 반전하여 입력받고, 타측으로는 감지증폭기(152)의 증폭동작시에 감지증폭부(150)과 제1 셀어레이(110,130)를 일시적으로 분리하도록 제어하는 제어신호(Bis_off)를 입력받는 노어게이트(NR1)와, 노어게이트(NR1)의 출력과 감지증폭부(150)과 제1 셀어레이(110)를 연결하도록 제어하는 제어신호(Blk_self)를 입력받는 낸드게이트(ND1)와, 낸드게이트(ND1)의 출력을 입력받아 제2 전원전압(VPP) 레벨로 레벨시프팅하여 출력하는 제2 레벨시프터(221)와, 제2 레벨시프터(221)의 출력을 게이트로 입력받아 출력단(X)을 제2 전원전압(VDD)으로 풀업하여 연결신호(BISH 또는 BISL)가 출력되도록 하는 피모스트랜지스터(P2)로 구성된다.
- <45> 연결신호 디스에이블부(230)는 감지증폭부(150)가 이웃에 구비된 제2 셀어레이(130)에 연결되도록 제어하는 제어신호(Blk_next)를 입력받고, 타측으로는 감지증폭부(150)가 증폭 증폭동작때 양단의 제1 셀어레이,1(110,130)와 일시적으로 분리되도록 제어하는 제어신호(Bis_off)를 반전하여 입력받는 낸드게이트(ND2)와, 낸드게이트(ND2)의 출력을 게이트로 입력받아 출력단(X)에 접지전압을 공급하는 앤모스트랜지스터(N1)로 구성된다.
- <46> 도6는 도5에 도시된 통상적인 레벨시프터의 회로도이다.

- <47> 도6을 통상적인 레벨시프터의 동작을 살펴보면, 입력신호(IN)가 입력되면 제2 전원 전압(VPP)까지 레벨시프팅하여 출력신호(OUT)로 출력하게 된다.
- <48> 도7은 도5의 감지증폭기 연결제어부의 동작파형도이고, 도8은 감지증폭기 연결제어부의 제어에 따른 도3의 감지증폭부의 동작을 나타내는 파형도이다.
- <49> 이하, 도3 내지 도8을 참조하여 로딩 캐패시턴스를 줄이기 위해 감지증폭부와 셀어레이를 일시적으로 분리한다음 감지증폭기가 비트라인의 데이터신호를 감지, 증폭하는 동작에 대해 설명한다.
- <50> 도7을 참조하여 살펴보면, 먼저, 어드레스가 입력되지 않아 양측의 셀어레이와 감지증폭부와 연결되지 않은 때에는 제어신호(Blk_com)는 하이로 입력되고, 제어신호(Blk_self, Blk_next)가 로우 상태로 입력되고, 이 때에는 모스트랜지스터(P2, N1)는 턴오프 상태로 되고, 피모스트랜지스터(P1)은 턴온 상태로되어 출력단(X)은 제1 전원전압(VDD)으로 프리차지된다. 여기서 프리차지는 셀어레이와 감지증폭부와의 분리 및 연결을 보다 빠르게 하기 위한 것이다.
- <51> 이어서 어드레스가 메모리 장치에 입력되어 제1 셀어레이(110)와 감지증폭부(150)를 연결해야 할 경우에는 제어신호(Blk_com)는 로우로 입력되고 제어신호(Blk_self, Blk_next)가 하이로 입력되고, 이로 인해 모스트랜지스터(P1, N1)는 턴오프 상태가 되고, 피모스트랜지스터(P2)가 턴온 상태가 된다.
- <52> 따라서 제1 연결신호(BISH)가 하이(제2 전압레벨(VPP))로 되어 감지증폭부(150)은 제1 셀어레이(110)와 연결된다. 이 때에 제2 감지증폭기 연결제어부(300)에서 제2 연결신호(BISL)를 로우로 출력하여 감지증폭부(150)와 제2 셀어레이(130)은 분리된다.

<53> 여기서 제어신호(Blk_com, Blk_nex, Blk_self)는 감지증폭기 연결제어부(200)를 제어하기 위해 입력되는 신호이며, 어드레스 신호를 이용해서 생성된다. 제어신호(Blk_self)는 현재 감지증폭부가 연결된 셀어레이를 나타내는 신호이고, 제어신호(Blk_next)는 감지증폭부와 연결되지 않은 나머지 셀어레이를 나타내는 신호이고, 제어신호(Blk_com)은 감지증폭부에 인접한 두 셀어레이를 모두 선택하기 위한 신호이고, 제어신호(Bis_off)는 감지증폭부와 현재 연결된 셀어레이를 일시적으로 분리하기 위한 신호이다.

<54> 계속해서 살펴보면, 제1 셀어레이와 감지증폭부(150)이 연결되고 나서는 제1 셀어레이(110)의 한 워드라인(WL)이 선택되고, 선택된 워드라인(WL)이 인에이블되면 해당되는 단위셀에 있는 데이터신호가 비트라인(BL, /BL)에 인가된다.

<55> 이어서 감지증폭기(152)의 인에이블신호가 입력되고, 감지증폭기가 비트라인에 인가된 신호를 감지, 증폭하기 시작하는데, 이때의 감지증폭기가 증폭동작시 제1 및 제2 셀어레이(110, 130)와 일시적으로 분리되도록 제어하는 제어신호(Bis_off)가 하이구간을 가지는 펄스형태로 감지증폭기 연결제어부에 입력된다.

<56> 제어신호(Bis_off)가 하이인 구간에서는 일시적으로 감지증폭기 연결 제어부(200)의 앤모스트랜지스터(N1)은 턴오프되고, 피모스트랜지스터(P1, P2)는 턴오프 상태가 되어, 제1 연결신호(BISH)는 일시적으로 로우로 출력된다. 이로 인해 제1 스위치부(151)이 턴오프상태가 되어, 감지증폭부(150)와 제1 셀어레이(110)간에 일시적으로 분리된다.

<57> 따라서 감지증폭기(152)가 감지, 증폭하는 동작중에 제1 셀어레이(110)가 분리되기 때문에 제1 셀어레이(110)로 인해 가졌던 큰 로딩 캐패시턴스가 감소되어 증폭동작을 빠르게 할 수 있다. 감지증폭기(152)가 비트라인(BL, /BL)에 인가된 신호를 증폭하고 나서는 다시 제1 연결신호(BISH)는 하이로 되어 감지증폭부(150)와, 제1 셀어레이(110)와는

연결되고, 증폭된 데이터신호는 감지증폭기출력부(157)를 통해서 데이터 라인(DB, /DB)으로 출력된다.

<58> 도8에 도시된 바와 같이, 종래의 감지증폭기(150)에 의한 비트라인(BLA, /BLA)보다 일시적으로 연결신호(BISH)를 분리했을 때가 더 빠르게 센스앰프에 의해 비트라인(BL, /BL)의 전압레벨이 증폭되는 것을 알수 있다. 따라서 메모리 장치의 동작을 보다 빠르게 동작시킬 수 있다. 특히 tRCD(Row Address to Column adress delay)를 크게 개선할 수 있다.

<59> 그러나, 상기와 같은 동작에서 제1 연결신호(BISH)가 하이로 되는 순간, 즉 제1 셀어레이(110)와 감지증폭부(150)가 재연결되는 순간 비트라인(BL, /BL)의 전압레벨이 크게 흔들리게 된다. 이는 제1 셀어레이(110)와 감지증폭부(150)와 재연결되는 순간에 감지증폭부의 전하가 제1 셀어레이(110)의 비트라인(BL, /BL)으로 유입되기 때문이다.

<60> 따라서 이 때에 비트라인이 일시적으로 불안한 상태가 되는데, 이 출력거림이 클수록 비트라인의 데이터가 컬럼 제어신호(CD)에 의해 데이터버스(DB, /DB)로 출력할 때에 오류의 가능성이 매우 높다. 즉, 리드동작의 신뢰성이 크게 저하된다.

<61> 또한 오류가 발생하지 않는다 하더라도 데이터버스(DB, /DB)로 출력할 때 지연시간이 생길수 있어, 이 때 생기는 지연시간으로 셀어레이와 감지증폭부를 일시적으로 분리하는 의미가 상실된다. 또한, 비트라인의 전압레벨이 출력거림으로서 노이즈가 생기게 되고, 이 때 발생하는 노이즈는 전체 반도체 메모리 장치의 동작상의 신뢰성 저하까지 발생하게 된다.

【발명이 이루고자 하는 기술적 과제】

<62> 본 발명은 감지증폭기의 동작시 노이즈를 줄이면서도 비트라인에 인가된 데이터 신호를 고속으로 증폭하여 출력할 수 있는 메모리 장치를 제공하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<63> 상기의 목적을 달성하기 위한 본 발명은 다수의 단위셀을 포함하는 제1 셀어레이; 상기 다수의 단위셀에 연결된 비트라인의 전위를 감지 및 증폭하기 위한 감지증폭수단; 상기 감지증폭수단과 상기 비트라인을 연결 또는 분리하기 위한 스위칭수단; 및 상기 스위칭수단을 통해 흐르는 전류량이 순차적으로 증가 또는 감소되도록 하여, 상기 감지증폭수단과 상기 제1 셀어레이의 분리 또는 연결을 제어하기 위한 감지증폭기 연결 제어수단을 구비하는 반도체 메모리 장치를 제공한다.

<64> 또한, 본 발명은 다수의 단위셀을 포함하는 셀어레이와, 상기 다수의 단위셀에 연결된 비트라인의 전위를 감지 및 증폭하기 위한 감지증폭기와, 상기 감지증폭기와 상기 비트라인을 연결 또는 분리하기 위한 스위칭 트랜지스터를 구비하는 반도체 메모리 구동 방법에 있어서, 상기 스위칭 트랜지스터를 턴온시켜 상기 셀어레이와 상기 감지증폭기를 연결하는 단계; 상기 셀어레이의 단위셀에 저장된 데이터신호의 전위를 상기 비트라인에 인가하는 단계; 상기 스위칭 트랜지스터를 턴오프시켜 상기 비트라인과 상기 감지증폭기를 분리하는 단계; 상기 감지증폭기가 상기 비트라인의 전위를 감지하여 증폭하는 단계; 상기 스위칭 트랜지스터의 게이트에 제1 전압을 인가하여 상기 스위칭 트랜지스터에 제1 전류가 흐르게 하는 단계; 및 상기 스위칭 트랜지스터의 게이트에 상기 제1 전압

보다 높은 제2 전압을 인가하여 상기 스위칭 트랜지스터에 제2 전류를 흐르게 하여, 상기 셀어레이와 상기 감지증폭기를 재연결시키는 단계를 포함하는 반도체 메모리 구동방법을 제공한다.

<65> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<66> 도9는 본 발명의 바람직한 실시예에 따른 메모리 장치의 블럭구성도이다.

<67> 도9를 참조하여 살펴보면, 본 실시예에 따른 메모리 장치는 다수개의 단위셀로 구성된 제1 셀어레이(400)과, 제1 셀어레이(400)에 연결된 비트라인(BL, /BL)에 인가되는 데이터 신호를 감지 증폭하여 출력하기 위한 감지증폭부(600)과, 감지증폭부(600)를 상기 제1 셀어레이(400)와 연결하거나 또는 분리하기 위한 스위치부(500)와, 스위치부(500)에 흐르는 전류량이 순차적을 증가되거나, 순차적으로 감소되도록 제어함으로서 감지증폭부(600)와 제1 셀어레이(400)의 분리 또는 연결을 제어하는 감지증폭기연결 제어부(900)을 구비한다.

<68> 한편, 감지증폭부의 타측에 제2 셀어레이(800)가 구비되어 있고, 감지증폭부(600)와 제2 셀어레이(800)를 연결 또는 분리하기 위한 스위치(700)가 구비되어 있으며, 감지증폭기 연결제어부(900)에서 감지증폭부(600)와 제1 및 제2 셀어레이(400, 800)가 적절히

연결 또는 분리되도록 제1 및 제2 연결신호(BISH, BISL)을 출력하게 된다. 또한 스위칭 수단(500)은 모스트랜지스터로 구성된다.

<69> 도10은 도9의 감지증폭기 연결 제어부의 블럭구성도이다. 도10에 도시된 감지증폭기 연결 제어부는 제1 연결신호(BISH,BISL)을 출력하기 위한 블럭구성도이고, 제2 연결신호(BISL)를 출력하기 위한 블럭구성도 이와 동일한 구조로 구성된다.

<70> 도10을 참조하여 살펴보면, 감지증폭기 연결 제어수단(900)은 입력된 어드레스에 의해 제1 셀어레이(400)가 선택되는 경우에 스위치부(500)에 제1 전류량이 흐르도록 제어하기 위한 제1 감지증폭기 연결부(920)와, 데이터신호가 비트라인(BL,/BL)에 인가되면 감지증폭부(500)가 데이터신호를 증폭할 때까지 스위치부(500)를 턴오프되도록 제어하기 위한 감지증폭기 분리부(940)와, 제1 셀어레이(400)가 선택되지 않는 경우에 스위치부(500)를 통해 상기 제1 전류량보다 작은 제2 전류량이 흐르도록 제어하기 위한 제2 감지증폭기 연결부(930)와, 일차적으로 상기 제2 전류량이 스위치부(500)에 흐르도록 제2 감지증폭기연결부(930)를 제어하고, 이차적으로 상기 제1 전류량이 스위치부(500)에 흐르도록 제1 감지증폭기연결부(920)를 제어하여, 감지증폭기 분리부(940)에 의해 턴오프된 스위치부(500)를 다시 턴온하도록 제어하는 감지증폭기 재연결 제어수단(910)을 구비한다.

<71> 도11은 도9에 도시된 감지증폭기 연결 제어부의 일예를 나타낸 회로도이다.

<72> 도11을 참조하여 살펴보면, 감지증폭기 재연결 제어부(910)은 제1 셀어레이(400)와 감지증폭부(600)를 일시적으로 분리시키기 위한 펄스 형태의 제1 분리신호(Bis_off)를 입력받아 제1 분리신호(Bis_off) 보다 펄스구간이 연장된 제2 분리신호(Bis_offd)를 생성하기 위한 분리신호 생성부(911)와, 제2 분리신호(Bis_off)가 입력되는 동안 상기 제1

감지증폭기연결부(920)를 디스에이블시키기 위한 제1 재연결 제어부(912)와, 제1 분리신호(Bis_off)와 제2 분리신호(Bis_offd)의 펄스구간 차이만큼 제2 감지증폭기 연결부(930)를 인에이블시키기 위한 제2 재연결 제어부(913)를 구비한다.

<73> 분리신호 생성부(911)는 제1 분리신호(Bis_off)와 제2 분리신호(Bis_offd)의 펄스구간 차이만큼 지연시키는 딜레이(911')와, 일측으로 제1 분리신호(Bis_off)를 입력받고, 타측으로 딜레이(911')의 출력을 입력받아 제2 분리신호(Bis_offd)를 생성하기 위한 제1 노어게이트(NR1)를 구비한다.

<74> 제1 재연결 제어부(912)는 감지증폭부(600)의 타측에 구비된 제2 셀어레이(800)를 선택하는 신호(Blk_next)를 반전하여 출력하기 위한 제1 인버터(IN1)와, 일측으로 제2 분리신호(Bis_offd)를 입력받고 타측으로 제1 인버터(IN1)의 출력을 입력받아 제1 감지증폭기연결부(920)를 디스에이블시키는 신호를 출력하기 위한 제2 노어게이트(NR2)를 구비한다.

<75> 제2 재연결 제어부(913)는 제2 분리신호를 입력받아 반전하여 출력하기 위한 제2 인버터(IN2)와, 제1 분리신호(Bis_off)를 일측으로 입력받고, 타측으로는 상기 제2 인버터(IN2)의 출력을 입력받아 제2 감지증폭기 연결부(930)를 인에이블시키는 신호를 출력하는 제3 노어게이트(NOR3)를 구비한다.

<76> 제1 감지증폭기 연결부(920)는 일측으로는 제2 노어게이트(NR2)의 출력을 입력받고, 타측으로는 제1 셀어레이(920)를 선택하기 위한 신호(Blk_self)를 입력받는 제1 낸드게이트(ND1)와, 제1 낸드게이트(ND1)의 출력을 게이트로 입력받아 상기 제1 전류량이 스위치부(500)에 흐르게 하기 위한 제1 전압(VPP)을 스위치부(500)으로 전달하기 위한 제1 피모스트랜지스터(P1)를 구비한다.

<77> 또한, 제1 감지증폭기연결부(920)는 제1 낸드게이트(ND1)에서 출력되는 신호의 제1 전압(VDD)레벨을 제2 전압 레벨(VPP)로 레벨시프팅하여 제1 피모스트랜지스터의 게이트(P1)로 출력하기 위한 제1 레벨시프터(921)를 더 구비한다.

<78> 제2 감지증폭기연결부(930)는 일측으로 제3 노어게이트(NR3)의 출력을 입력받고, 타측으로는 상기 감지증폭부의 양측에 구비된 제1 및 제2 셀어레이(400,800)를 모두 선택하는 신호(Blk_com)를 입력받는 제4 노어게이트(NR4)와, 제4 노어게이트(NR4)의 출력을 게이트로 입력받아 상기 제2 전류량이 스위치부(400)에 흐르게 하기 위한 제2 전압(VDD)을 스위치부(400)으로 전달하기 위한 제2 피모스트랜지스터(P2)를 구비한다.

<79> 또한, 제2 감지증폭기연결부(930)는 제4 노어게이트(NR4)에서 출력되는 신호의 제1 전압(VDD)레벨을 제2 전압(VPP) 레벨로 레벨시프팅하여 제2 피모스트랜지스터(P2)의 게이트로 출력하기 위한 제2 레벨시프터(931)를 더 구비한다.

<80> 감지증폭기분리부(940)는 제1 분리신호(Bis_off)를 반전하여 출력하기 위한 제3 인버터(IN3)와, 일측으로 상기 감지증폭부(600)의 타측에 구비된 제2 셀어레이(800)를 선택하기 위한 신호(Blk_next)를 입력받고, 타측으로는 제3 인버터(IN3)의 출력을 입력받는 제2 낸드게이트(ND2)와, 제2 낸드게이트(ND2)의 출력을 게이트로 입력받아 스위치부(500)를 턴오프시키기 위한 제3 전압(VSS)을 스위치부(500)로 전달하는 앤모스트랜지스터(N1)를 구비한다.

<81> 도12은 도10에 도시된 레벨시프터(921,931)의 회로도이다.

<82> 도12를 참조하여 살펴보면, 레벨시프터(921,931)은 입력신호(IN)와 그 반전된 신호를 게이트로 각각 입력받으며 일측 접지전원에 각각 연결된 앤모스트랜지스터(N2,N3)와,

일측은 제2 전압(VPP)에 공통연결되고, 타측은 앤모스트랜지스터(N2,N3)와 각각연결되고, 게이트가 서로 크로스 커플(cross couple)된 피모스트랜지스터(P3,P4)로 구성된다.

<83> 도13은 도11에 도시된 감지증폭기 연결 제어부의 동작파형도이고, 도14는 도9에 도시된 감지증폭부의 동작파형도이다. 이하 도9 내지 도14를 참조하여 본 발명의 메모리 장치에 대해서 설명한다.

<84> 먼저, 감지증폭기 연결 제어부의 동작을 살펴보면, 어드레스가 입력되지 않아 감지 증폭부와 어떤 셀어레이도 연결되어 있지 않을 경우에, 제어신호(Blk_com)는 하이로 입력되고, 제어신호(Blk_self,Blk_next)가 로우 상태로 입력되어, 모스트랜지스터(P2,N1)는 턴오프 상태로 되고 피모스트랜지스터(P1)은 턴온 상태로 되어 출력단(X)은 제1 전압(VDD)로 프리차지된다. 여기서 프리차지는 셀어레이와 감지증폭부와의 분리 및 연결을 보다 빠르게 하기 위한 것이다.

<85> 한편, 프리차지구간동안에는 스위치부(500)를 구성하는 모스트랜지스터의 게이트에 제1 전압(VDD)이 인가되어 있으나, 입력된 어드레스가 없기 때문에 셀어레이의 어떤 단위셀도 선택되지 않은 상태이기 때문에 흐르는 전류는 없게 된다.

<86> 이어서 어드레스가 입력되어 셀어레이(400)와 감지증폭부(600)을 연결해야 할 경우에, 제어신호(Blk_com)는 로우로 입력되고 제어신호(Blk_self,Blk_next)가 하이로 입력되어, 모스트랜지스터(P1,N1)는 턴오프 상태로 되고, 피모스트랜지스터(P2)가 턴온 상태로 된다. 따라서 제1 연결신호(BISH)가 하이(제2 전압(VPP))로 되어 스위치부(500)이 턴온되고, 이로 인해 감지증폭부(600)은 제1 셀어레이(400)와 연결된다. 이 때에 또다른 감지증폭기 연결제어부에서 제2 연결신호(BISL)는 로우로 출력되어 스위치부(700)은 턴오프되어 감지증폭부(600)와 제2 셀어레이(800)은 분리된다.

<87> 여기서 제어신호(Blk_com, Blk_nex, Blk_self)는 감지증폭기 연결제어부(200)를 제어하기 위해 입력되는 신호이며, 어드레스 신호를 이용해서 생성된다. 제어신호(Blk_self)는 현재 감지증폭부가 연결될 셀어레이(400)를 선택하도록 하는 신호이고, 제어신호(Blk_next)는 감지증폭부와 분리될 셀어레이(800)를 선택하도록 하는 신호이고, 제어신호(Blk_com)는 감지증폭부에 인접한 두 셀어레이를 모두 선택해야 하는 경우에 필요한 신호이고, 제어신호(Bis_off)는 감지증폭부와 현재 연결된 셀어레이를 일시적으로 분리하기 위한 신호이다.

<88> 계속해서 감지증폭기 연결제어부(900)의 동작을 살펴보면, 제1 셀어레이(110)의 한 워드라인(WL)이 선택되고, 선택된 워드라인(WL)에 신호가 입력되면, 해당하는 단위셀에 있는 데이터가 비트라인(BL, /BL)에 인가된다.

<89> 이어서 감지증폭부(600)에 인에이블신호가 입력되어, 비트라인에 인가된 신호를 감지, 증폭하기 시작하는데, 이 때에 감지증폭부(600)가 증폭동작시 제1 및 제2 셀어레이(400, 800)와 일시적으로 분리되도록 제어하는 제1 분리신호(Bis_off)가 펄스형태로 감지증폭기 연결제어부(900)에 입력된다.

<90> 제1 분리신호(Bis_off)가 하이인 구간에서는 일시적으로 앤모스트랜지스터(N1)은 턴오프되고, 피모스트랜지스터(P1, P2)는 턴오프 상태가 된다. 이로 인해 제1 연결신호(BISH)가 일시적으로 로우로 되어, 감지증폭부(600)와 제1 셀어레이(400)간에 일시적으로 분리가 일어난다.

<91> 이는 전술한 바와 같이 감지증폭부(600)가 비트라인에 인가된 데이터신호를 감지, 증폭하는 동안에 셀어레이와 감지증폭부를 일시적으로 분리시킴으로서, 셀어레이에 연결

되어 있으므로 해서 가졌던 큰 로딩 캐패시턴스를 감소시켜 감지증폭기의 증폭동작을 빠르게 할 수 있기 위함이다.

<92> 이때, 분리신호 생성부(911)는 제1 분리신호(Bis_off)를 입력받아 제1 분리신호(Bis_off) 보다 연장된 펄스구간을 가지는 제2 분리신호(Bis_offd)를 생성하고, 제1 재연결 제어부(912)에서는 제2 분리신호(Bis_offd)를 입력받아 반전하여 제1 감지증폭기 연결부(920)로 출력한다. 이어서 제1 감지증폭기 연결부(920)는 제2 분리신호(Bis_offd)가 가지는 펄스구간동안 피모스트랜지스터(P1)를 턴오프시킨다.

<93> 한편, 제2 재연결 제어부(913)에서는 제1 및 제2 분리신호(Bis_off, Bis_offd)의 펄스구간 차이만큼의 신호(A)를 생성하여 제2 감지증폭기 연결부(930)로 출력하고, 제2 감지증폭기 연결부(930)는 그 차이만큼의 신호가 노어게이트(NR4)가 입력되는 동안 피모스트랜지스터(P2)가 턴온되어 스위치부(500)로 제1 전압(VDD)을 출력한다.

<94> 이어서 노어게이트(NR4)로 입력되는 신호의 펄스구간이 끝나면, 제2 감지증폭기 연결부(930)의 피모스트랜지스터(P2)는 턴오프 상태로 되고, 제1 감지증폭기 연결부(920)의 피모스트랜지스터는 턴온(P1) 상태가 되어, 스위치부(500)로 제2 전압(VPP)을 전달한다.

<95> 즉, 스위치부(500)를 구성하는 모스트랜지스터의 게이트는 감지증폭부(600)와 제1 셀어레이(400)를 재연결할 때에는 먼저 제1 전압(VDD)이 인가되고, 이어서 제2 전압(VPP)이 인가되어, 스위치부(500)의 모스트랜지스터에 흐르는 전류량이 단계적으로 증가하게 된다.

<96> 계속해서 살펴보면, 감지증폭부를 통해 증폭된 데이터신호는 데이터 라인(DB, /DB)으로 전달되고, 이어서 메모로 장치 외부로 출력하게 된다.

<97> 여기서 제1 감지증폭기 연결제어부(920)의 레벨시프터는 제1 전압레벨(VDD)로 출력되는 제1 낸드게이트(ND1)의 출력을 제2 전압레벨(VPP)로 승압하여 출력하기 위한 것이다. 제2 감지증폭기연결부(930)의 레벨시프터는 출력단(X)의 전압레벨이 제2 전압레벨(VPP)일 때 피모스트랜지스터(P2)의 게이트에 제1 전압레벨을 인가하게 되면 출력단에서 전원쪽으로 전류가 역류하게 되는데, 이를 방지하기 위해 제2 피모스트랜지스터(P2)의 게이트에 제2 전압(VPP)레벨이 인가되도록 하기 위한 것이다.

<98> 도14에는 상기와 같이 셀어레이와 감지증폭기를 연결하는 스위치부(500)에 흐르는 전류량을 다단으로 제어하게 되면, 감지증폭기의 동작중에서 발생하는 비트라인 전압레벨 변동이 감소하는 것이 나타나 있다. 즉, 셀어레이과 감지증폭부를 연결할 때에 연결을 위한 스위치에 흐르는 전류량을 단계적으로 제어함으로서, 동작 노이즈를 크게 감소시킬 수 있는 것이다.

<99> .또한 전술한 실시예에서는 감지증폭부와 셀어레이를 연결한후 비트라인에 인가된 신호를 증폭하기 위해서 분리한 후, 재연결시에 스위치부에 흐르는 전류량을 순차적으로 증가시키는 것에 대해 설명하였으나, 감지증폭부와 셀어레이를 처음 연결할 때에나, 기타 다른 동작시에도 스위치부에 흐르는 전류량을 다단으로 제어하게 되면 감지증폭기의 동작 노이즈를 줄일 수 있다.

<100> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또

한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<101> 본 발명에 따라 감지증폭기가 비트라인에 인가된 데이터신호를 고속으로 감지, 증폭할 때의 동작 노이즈가 감소되어 안정적인 메모리 동작이 가능하다.

【특허청구범위】**【청구항 1】**

다수의 단위셀을 포함하는 제1 셀어레이;

상기 다수의 단위셀에 연결된 비트라인의 전위를 감지 및 증폭하기 위한 감지증폭 수단;

상기 감지증폭수단과 상기 비트라인을 연결 또는 분리하기 위한 스위칭수단; 및

상기 스위칭수단을 통해 흐르는 전류량이 순차적으로 증가 또는 감소되도록 하여, 상기 감지증폭수단과 상기 제1 셀어레이의 분리 또는 연결을 제어하기 위한 감지증폭기 연결 제어수단

을 구비하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 감지증폭기 연결 제어수단은

상기 제1 셀어레이가 선택되는 경우에 상기 스위칭수단에 제1 전류량이 흐르도록 제어하기 위한 제1 감지증폭기 연결 제어부

상기 단위셀의 전위가 상기 비트라인에 인가되어 상기 감지증폭수단이 상기 비트라인의 전위를 증폭할 때까지 상기 스위칭수단을 턴오프되도록 제어하기 위한 감지증폭기 분리 제어부;

상기 제1 셀어레이가 선택되지않는 경우에 상기 스위칭수단을 통해 상기 제1 전류량보다 작은 제2 전류량이 흐르도록 제어하기 위한 제2 감지증폭기 연결 제어부; 및

상기 감지증폭부가 상기 비트라인의 전위 증폭을 완료한 후, 일차적으로 상기 제2 전류량이 상기 스위칭수단에 흐르도록 상기 제2 감지증폭기 연결 제어부를 제어하고, 이차적으로 상기 제1 전류량이 상기 스위칭수단에 흐르도록 상기 제1 감지증폭기 연결 제어부를 제어하기 위한 감지증폭기 재연결 제어수단을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 2 항에 있어서,

상기 감지증폭기 재연결 제어수단은

상기 제1 셀어레이와 상기 감지증폭수단을 일시적으로 분리시키기 위한 펄스 형태의 제1 분리신호를 입력받아 상기 제1 분리신호보다 펄스구간이 연장된 제2 분리신호를 생성하기 위한 분리신호 생성부;

상기 제2 분리신호가 입력되는 동안 상기 제1 감지증폭기연결부를 디스에이블시키기 위한 제1 재연결 제어부; 및

상기 제1 분리신호와 상기 제2 분리신호의 펄스구간 차이만큼 상기 제2 감지증폭기 연결부를 인에이블시키기 위한 제2 재연결 제어부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,
상기 분리신호 생성부는
상기 제1 분리신호와 제2 분리신호의 펄스구간차이만큼 지연시키는 딜레이; 및
일측으로 상기 제1 분리신호를 입력받고, 타측으로 상기 딜레이의 출력을 입력받아
상기 제2 분리신호를 생성하기 위한 제1 노어게이트를 구비하는 것을 특징으로 하는 반
도체 메모리 장치.

【청구항 5】

제 5 항에 있어서,
상기 제1 재연결 제어부는
상기 감지증폭부의 타측에 구비된 제2 셀어레이를 선택하는 신호를 반전하여 출력
하기 위한 제1 인버터; 및
일측으로 상기 제2 분리신호를 입력받고, 타측으로 상기 제1 인버터의 출력을 입력
받아 상기 제1 감지증폭기연결부를 디스에이블시키는 신호를 출력하기 위한 제2 노어게
이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 5 항에 있어서,
상기 제2 재연결 제어부는

상기 제2 분리신호를 입력받아 반전하여 출력하기 위한 제2 인버터; 및

상기 제1 분리신호를 일측으로 입력받고, 타측으로는 상기 제2 인버터의 출력을 입력받아 상기 제2 감지증폭기 연결부를 인에이블시키는 신호를 출력하는 제3 노어게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 6 항에 있어서,

상기 제1 감지증폭기 연결 제어부는

일측으로는 상기 제2 노어게이트의 출력을 입력받고, 타측으로는 상기 제1 셀어레이를 선택하기 위한 신호를 입력받는 제1 낸드게이트; 및

상기 제1 낸드게이트의 출력을 게이트로 입력받아 상기 제1 전류량이 상기 스위칭수단에 흐르게 하기 위한 제1 전압을 상기 스위칭수단으로 전달하기 위한 제1 피모스트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 제2 감지증폭기 연결 제어부는

상기 제1 낸드게이트에서 출력되는 신호를 상기 제1 전압 레벨로 레벨시프팅하여
상기 제1 피모스트랜지스터의 게이트로 출력하기 위한 제1 레벨시프터를 더 구비하는 것
을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 7 항에 있어서,

일측으로 상기 제3 노어게이트의 출력을 입력받고, 타측으로는 상기 감지증폭부의
양측에 구비된 제1 및 제2 셀어레이를 모두 선택하기 위한 신호를 입력받는 제4 노어게
이트; 및

상기 제4 노어게이트의 출력을 게이트로 입력받아 상기 제2 전류량이 상기 스위칭
수단에 흐르게 하기 위한 제2 전압을 상기 스위칭수단으로 전달하기 위한 제2 피모스트
랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 제4 노어게이트에서 출력되는 신호를 상기 제2 전압 레벨로 레벨시프팅하여
상기 제2 피모스트랜지스터의 게이트로 출력하기 위한 제2 레벨시프터를 더 구비하는 것
을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제 9 항에 있어서,

상기 감지증폭기 분리 제어부는

상기 제1 분리신호를 반전하여 출력하기 위한 제3 인버터;

일측으로 상기 감지증폭부의 타측에 구비된 제2 셀어레이를 선택하기 위한 신호를 입력받고, 타측으로는 상기 제3 인버터의 출력을 입력받는 제2 낸드게이트; 및

상기 제2 낸드게이트의 출력을 게이트로 입력받아 상기 스위칭수단을 턴오프시키기 위한 제3 전압을 상기 스위칭수단으로 전달하는 앤모스트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 1 항에 있어서,

상기 스위칭수단은 모스트랜지스터로 구성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

다수의 단위셀을 포함하는 셀어레이와, 상기 다수의 단위셀에 연결된 비트라인의 전위를 감지 및 증폭하기 위한 감지증폭기와, 상기 감지증폭기와 상기 비트라인을 연결 또는 분리하기 위한 스위칭 트랜지스터를 구비하는 반도체 메모리 구동방법에 있어서,

상기 스위칭 트랜지스터를 턴온시켜 상기 셀어레이와 상기 감지증폭기를 연결하는 단계;

상기 셀어레이의 단위셀에 저장된 데이터신호의 전위를 상기 비트라인에 인가하는 단계;

상기 스위칭 트랜지스터를 턴오프시켜 상기 비트라인과 상기 감지증폭기를 분리하는 단계;

상기 감지증폭기가 상기 비트라인의 전위를 감지하여 증폭하는 단계;

상기 스위칭 트랜지스터의 게이트에 제1 전압을 인가하여 상기 스위칭 트랜지스터에 제1 전류가 흐르게 하는 단계; 및

상기 스위칭 트랜지스터의 게이트에 상기 제1 전압보다 높은 제2 전압을 인가하여 상기 스위칭 트랜지스터에 제2 전류를 흐르게 하여, 상기 셀어레이와 상기 감지증폭기를 재연결시키는 단계를 포함하는 반도체 메모리 구동방법.

【청구항 14】

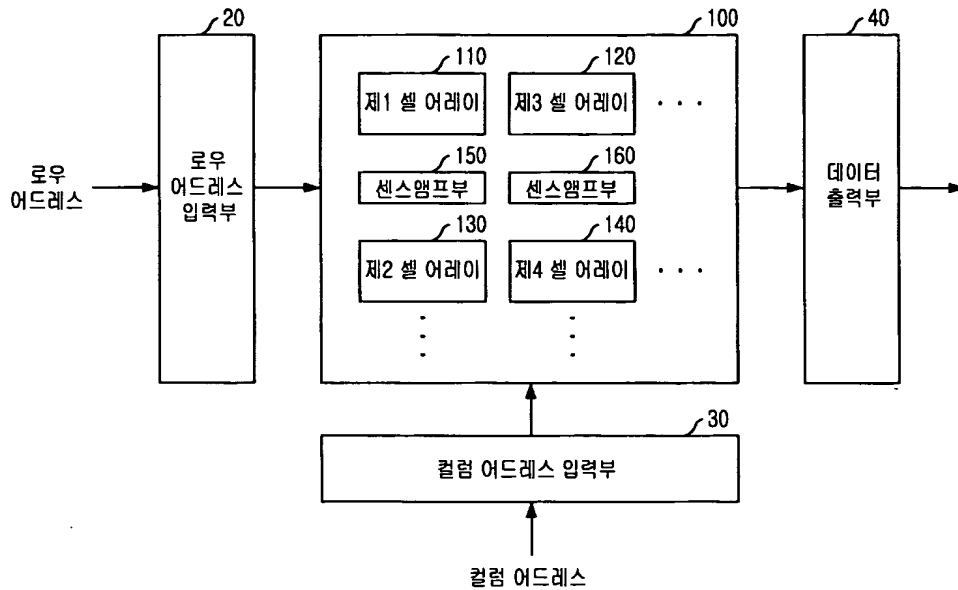
제 13 항에 있어서,

상기 셀어레이와 감지증폭기를 연결하는 단계 수행전에,

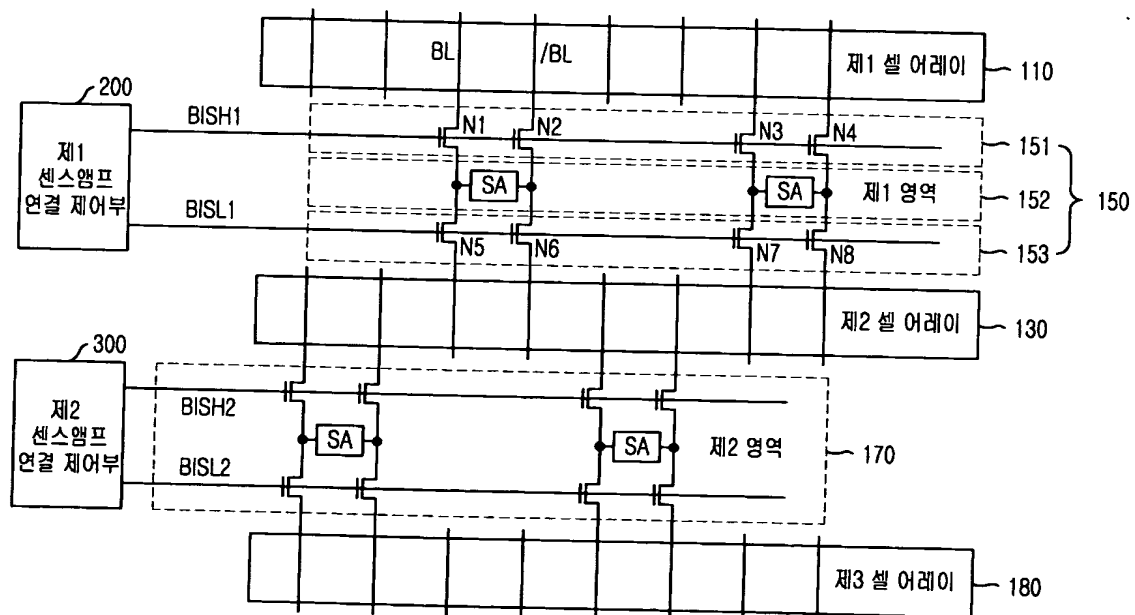
상기 제1 전압을 상기 스위칭 트랜지스터의 게이트에 인가하여 상기 스위칭 트랜지스터에 상기 제1 전류를 흐르게 하는 단계를 더 포함하는 반도체 메모리 구동방법.

【도면】

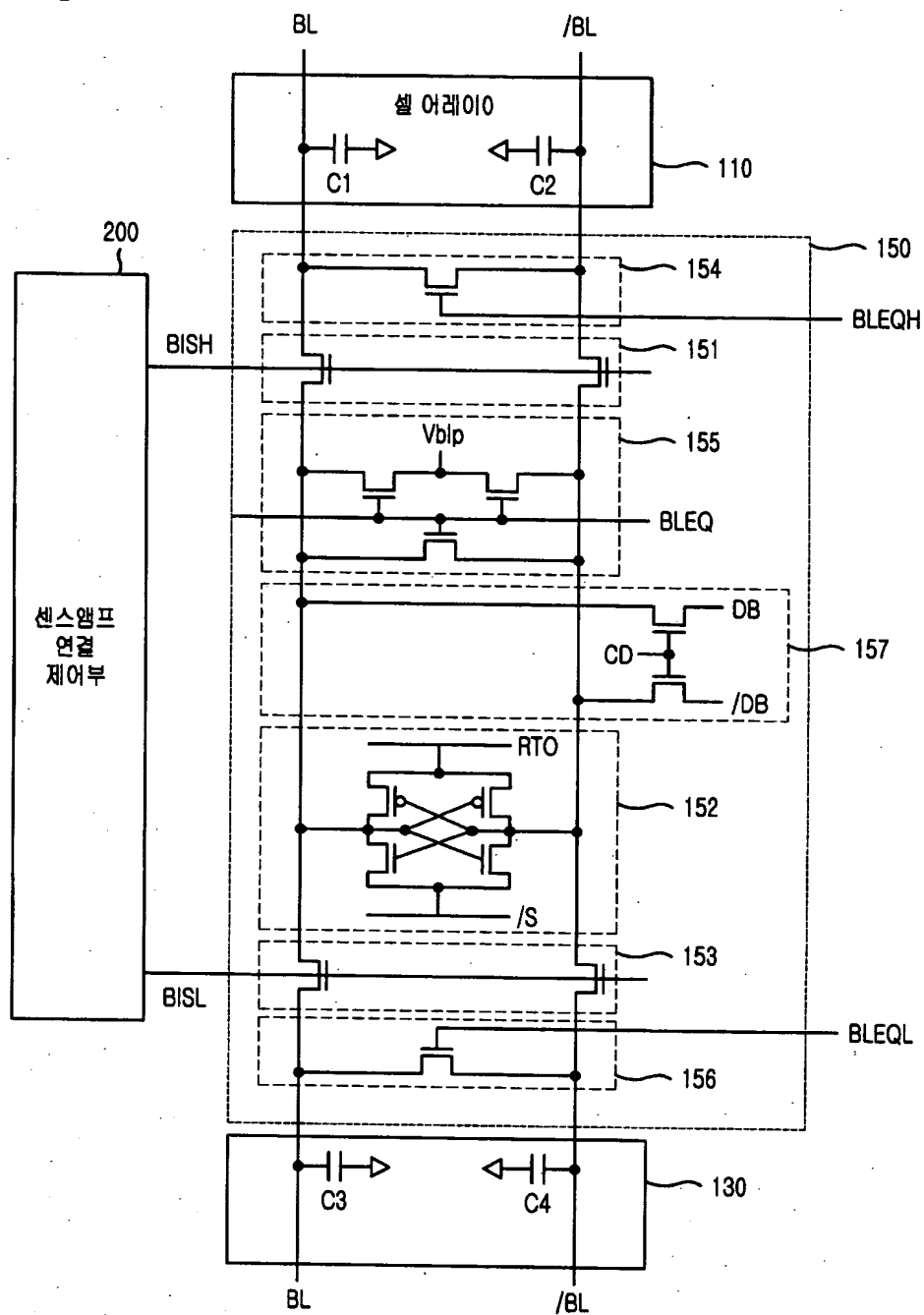
【도 1】



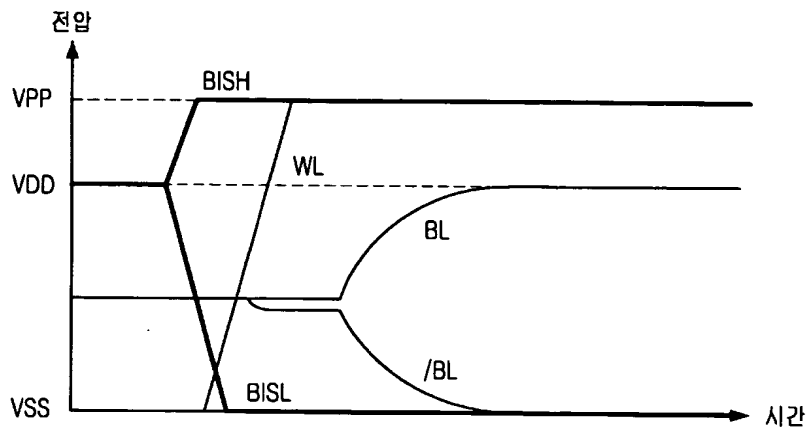
【도 2】



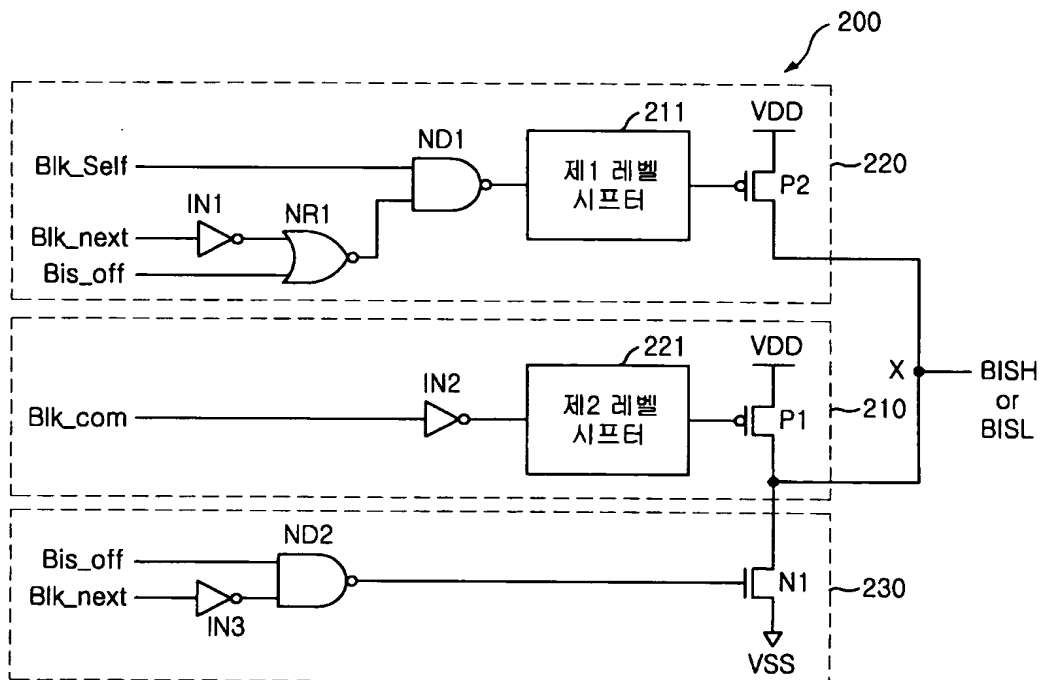
【도 3】



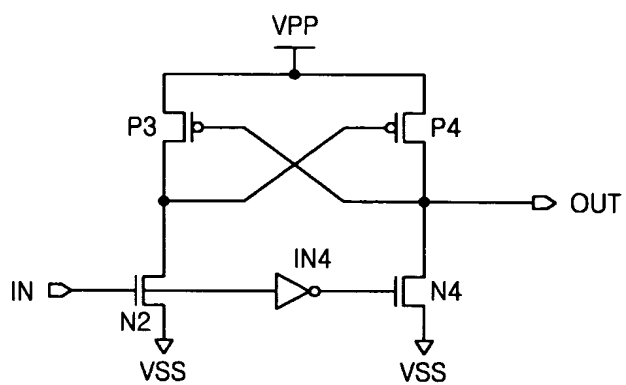
【도 4】



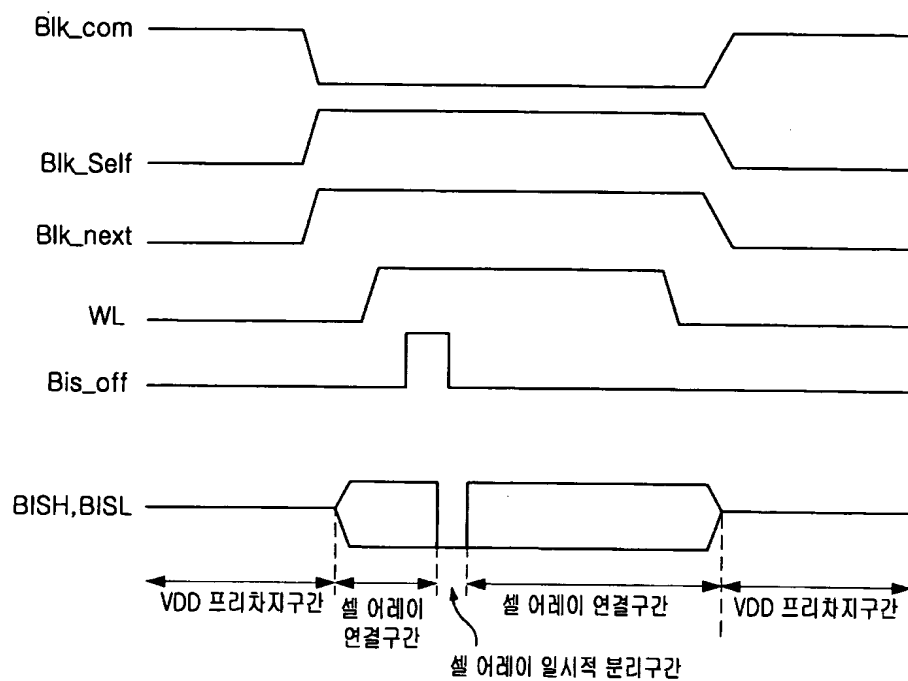
【도 5】



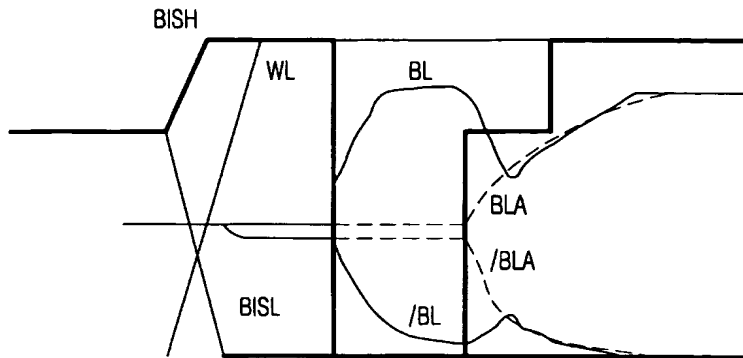
【도 6】



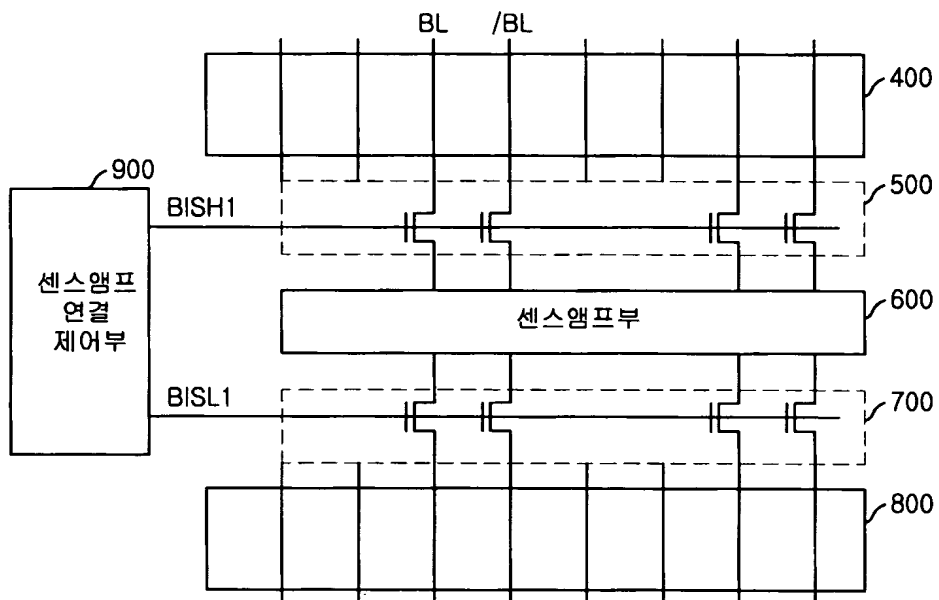
【도 7】



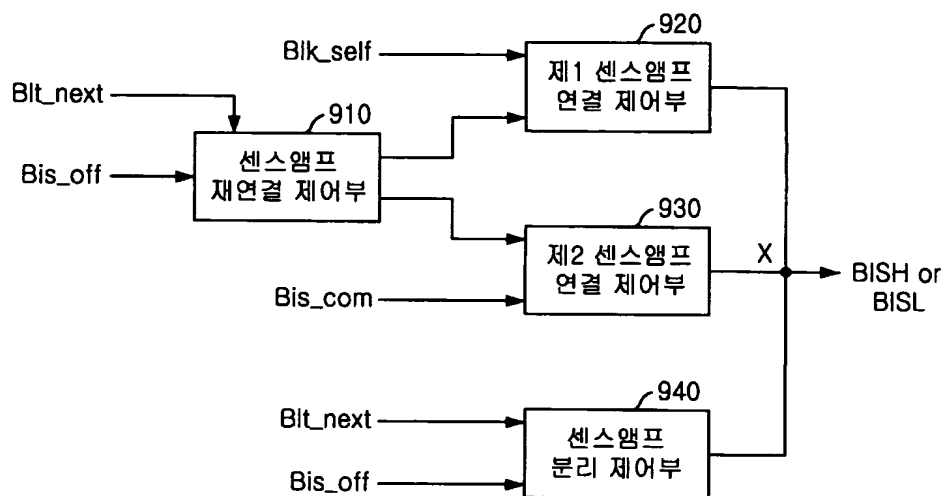
【도 8】



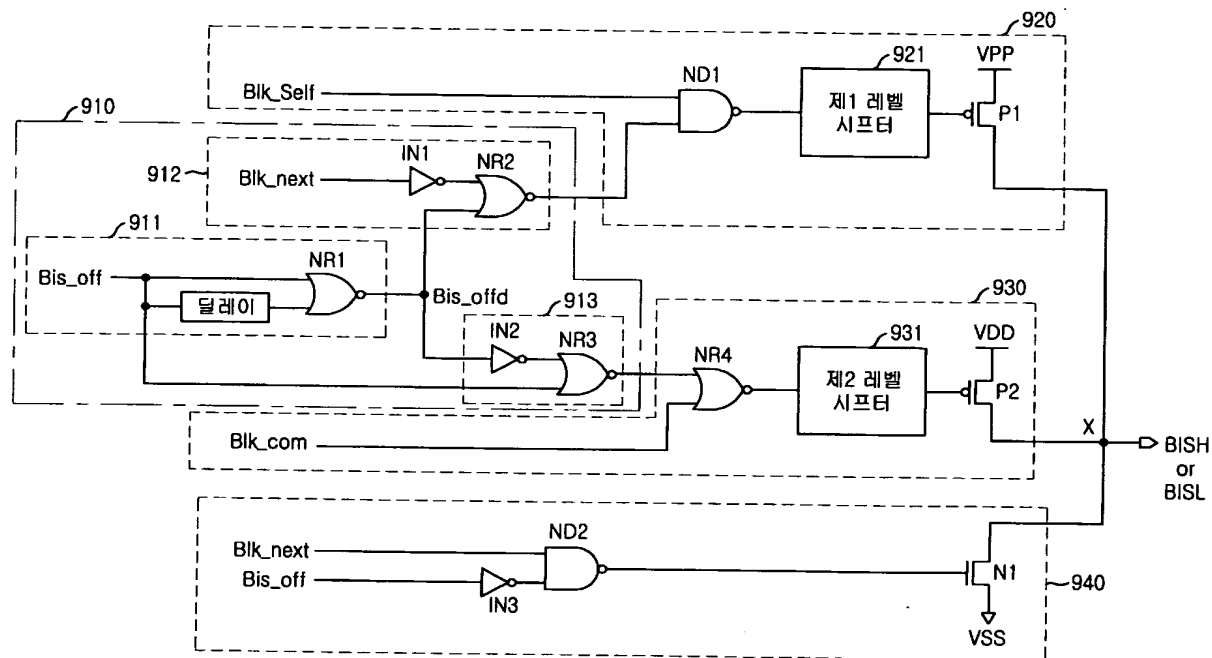
【도 9】



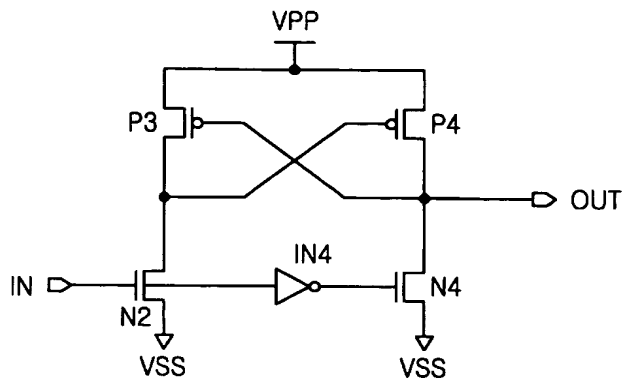
【도 10】



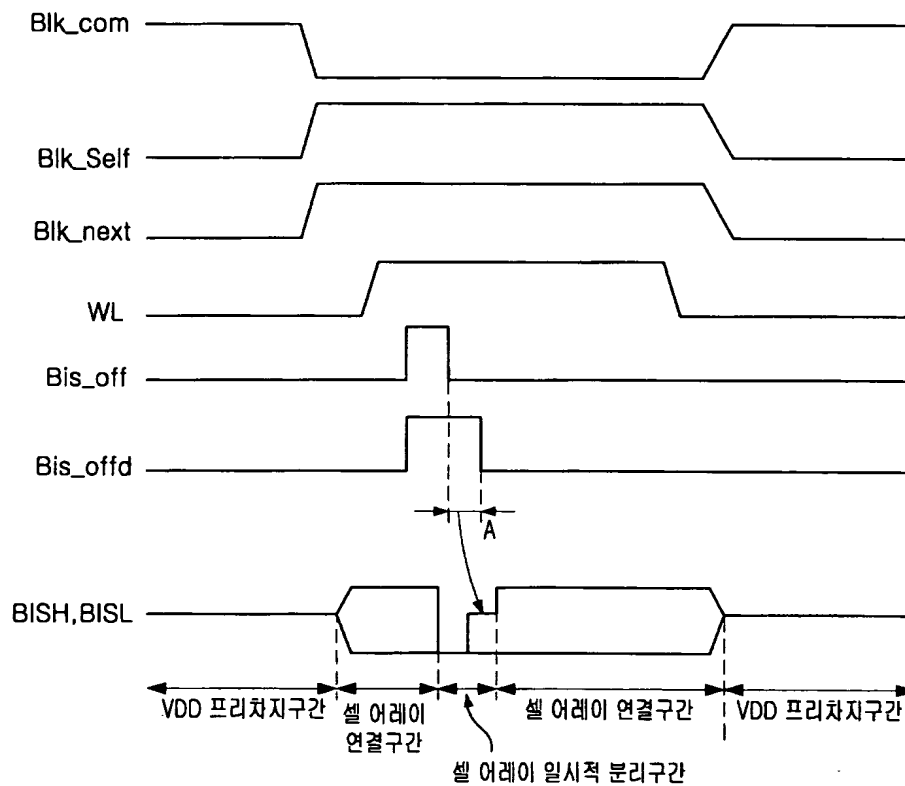
【도 11】



【도 12】



【도 13】



【도 14】

